

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020092486 A
(43)Date of publication of application: 12.12.2002

(21)Application number: 1020010031123
(22)Date of filing: 04.06.2001

(71)Applicant: SAMSUNG SDI CO., LTD.
(72)Inventor: CHOI, HAK GI
JUNG, NAM SEONG
KIM, JUN GU
LEE, SEONG CHAN

(51)Int. Cl G09G 3/28

(54) METHOD FOR RESETTING PLASMA DISPLAY PANEL TO IMPROVE CONTRAST

(57) Abstract:

PURPOSE: A method for resetting a plasma display panel to improve a contrast is provided to enhance the contrast of the plasma display panel and form wall charges in display cells selected by an addressing process.

CONSTITUTION: The first reset process(t1-t2) is performed to boost a voltage applied to the first display electrode lines to the first voltage(VBX). The second reset process(t2-t3) is performed to boost a voltage applied to the second display electrode lines to the second voltage(VBYP) and the voltage applied to the first display electrode lines to the first voltage (VBX). At this time, the second voltage(VBYP) is higher than the first voltage(VBX) and the third voltage (VBF) is lower than the first voltage(VBX). The third reset process(t3-t4) is performed to maintain the voltage applied to the first display electrode lines at the first voltage(VBX) and lower the voltage applied to the second display electrode lines to the fourth voltage(VG). At this time, the fourth voltage(VG) is less than the third voltage(VBF).

© KIPO 2003

Legal Status

Date of request for an examination (20010604)
Final disposal of an application (registration)
Date of final disposal of an application (20030529)
Patent registration number (1003889120000)
Date of registration (20030612)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. G09G 3/28	(11) 공개번호 (43) 공개일자	특2002-0092486 2002년12월12일
(21) 출원번호	10-2001-0031123	
(22) 출원일자	2001년06월04일	
(71) 출원인	삼성에스디아이 주식회사	
(72) 발명자	경기 수원시 팔달구 신동 575번지 김준구 경기도 성남시 분당구 구미동 211 대림아파트 109동 203호 최학기 서울특별시 동작구 사당1동 1025-18호 이성찬 서울특별시 서초구 양재1동 7-20번지 삼용빌라 301호 정남성 충청남도 천안시 성성동 그린피아? 이영필, 이해영	
(74) 대리인		

심사청구 : 있음

(54) 몬트라스트 향상을 위한 플라스마 디스플레이 패널의 리셋팅 방법

요약

본 발명에 따른 플라스마 디스플레이 패널의 리셋팅 방법은 3 리셋 단계를 포함한다. 제1 리셋 단계에서는, 제1 디스플레이 전극 라인들에 인가되는 전압이 제1 전압까지 지속적으로 상승된다. 제2 리셋 단계에서는, 제2 디스플레이 전극 라인들에 인가되는 전압이 제1 전압보다 높은 제2 전압까지 지속적으로 상승되는 한편, 제1 디스플레이 전극 라인들에 인가되는 전압이 제1 전압보다 낮은 제3 전압까지 지속적으로 상승된다. 제3 리셋 단계에서는, 제1 디스플레이 전극 라인들에 인가되는 전압이 제1 전압으로 유지된 상태에서 제2 디스플레이 전극 라인들에 인가되는 전압이 제3 전압보다 낮은 제4 전압까지 지속적으로 하강된다.

도표도

도9

영세서

도면의 간단한 설명

- 도 1은 통상적인 3-전극 면방전 방식의 플라스마 디스플레이 패널의 구조를 보여주는 내부 사시도이다.
- 도 2는 도 1의 패널의 한 디스플레이 셀의 예를 보여주는 단면도이다.
- 도 3은 도 1의 플라스마 디스플레이 패널의 통상적인 구동 장치를 보여주는 블록도이다.
- 도 4는 도 1의 플라스마 디스플레이 패널의 V 전극 라인들에 대한 통상적인 어드레스-디스플레이 분리(Address-Display Separation) 구동 방식을 보여주는 타이밍도이다.
- 도 5는 종래의 리셋팅 방법에 따라 플라스마 디스플레이 패널의 전극 라인들에 인가되는 신호들의 파형도이다.
- 도 6은 도 5의 t3 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.
- 도 7은 도 5의 t4 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.
- 도 8은 도 5의 구동 신호들에 상응하여 플라스마 디스플레이 패널로부터 발생되는 빛의 조도를 보여주는 그래프이다.
- 도 9는 본 발명의 일 실시예의 리셋팅 방법에 따라 플라스마 디스플레이 패널의 전극 라인들에 인가되는 신호들의 파형도이다.
- 도 10은 도 9의 t3 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.
- 도 11은 도 9의 t4 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.

도 12는 도 9의 $t_2 \sim t_3$ 시간에 대하여 플라스마 디스플레이 패널로부터 발생되는 빛의 조도를 보여주는 그래프이다.

도 13은 도 9의 구동 신호들에 상응하여 플라스마 디스플레이 패널로부터 발생되는 빛의 조도를 보여주는 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|----------------------------------|-------------------------------|
| 1...플라스마 디스플레이 패널, | 10...앞쪽 글라스 기판, |
| 11, 15...유전체층, | 12...보호층, |
| 13...뒤쪽 글라스 기판, | 14...방전 공간, |
| 16...형광체, | 17...격벽, |
| X_1, \dots, X_n ...X 전극 라인, | Y_1, \dots, Y_n ...Y 전극 라인, |
| A_1, \dots, A_m ...어드레스 전극 라인, | X_{na}, Y_{na} ...투명 전극 라인, |
| X_{nb}, Y_{nb} ...금속 전극 라인, | SF_6, \dots, SF_6 ...서브-필드, |
| S_x ...Y 구동 제어 신호, | V_y ...접지 전압, |
| S_x ...X 구동 제어 신호, | S ...어드레스 구동 제어 신호, |
| 62...논리 제어부, | 63...어드레스 구동부, |
| 64...X 구동부, | 65...Y 구동부, |
| 66...영상 처리부. | |

본 발명의 상세한 설명

본 발명의 목적

본 발명에 속하는 기술 및 그 분야의 종래기술

본 발명은, 플라스마 디스플레이 패널의 리셋팅 방법에 관한 것으로서, 보다 상세하게는, 3-전극 면방전 구조의 플라스마 디스플레이 패널의 최소 구동 주기인 단위 서브필드에서 최초로 수행되어, 모든 디스플레이 셀들의 전하량의 분포가 균일해짐과 동시에 다음 단계에서 수행될 어드레스에 적합해지도록 하는, 리셋팅 방법에 관한 것이다.

도 1은 통상적인 3-전극 면방전 방식의 플라스마 디스플레이 패널의 구조를 보여준다. 도 2는 도 1의 패널의 한 디스플레이 셀의 예를 보여준다. 도 1 및 2를 참조하면, 통상적인 면방전 플라스마 디스플레이 패널(1)의 앞쪽 및 뒤쪽 글라스 기판들(10, 13) 사이에는, 어드레스 전극 라인들(A_1, A_2, \dots, A_m), 유전체층(11, 15), Y 전극 라인들(Y_1, \dots, Y_n), X 전극 라인들(X_1, \dots, X_n), 형광체(16), 격벽(17) 및 보호층으로서의 일산화마그네슘(MgO)층(12)이 마련되어 있다.

어드레스 전극 라인들(A_1, A_2, \dots, A_m)은 뒤쪽 글라스 기판(13)의 앞쪽에 일정한 패턴으로 형성된다. 하부 유전체층(15)은 어드레스 전극 라인들(A_1, \dots, A_m)의 앞쪽에서 전면(全面) 도포된다. 하부 유전체층(15)의 앞쪽에는 격벽(17)들이 어드레스 전극 라인들(A_1, \dots, A_m)과 평행한 방향으로 형성된다. 이 격벽(17)들은 각 디스플레이 셀의 방전 영역을 구획하고 각 디스플레이 셀 사이의 광학적 간섭(cross talk)을 방지하는 기능을 한다. 형광체(16)는, 격벽(17)들 사이에 도포된다.

X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n)은 어드레스 전극 라인들(A_1, \dots, A_m)과 직교되도록 앞쪽 글라스 기판(10)의 뒤쪽에 일정한 패턴으로 형성된다. 각 교차점은 상응하는 디스플레이 셀을 설정한다. 각 X 전극 라인(X_1, \dots, X_n)과 각 Y 전극 라인(Y_1, \dots, Y_n)은 ITO(Indium Tin Oxide) 등과 같은 투명한 도전성 재질의 투명 전극 라인(도 2의 X_{na}, Y_{na})과 전도도를 높이기 위한 금속 전극 라인(도 2의 X_{nb}, Y_{nb})이 결합되어 형성된다. 앞쪽 유전체층(11)은 X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n)의 뒤쪽에 전면(全面) 도포되어 형성된다. 강한 전계로부터 패널(1)을 보호하기 위한 보호층(12) 예를 들어, 일산화마그네슘(MgO)층은 앞쪽 유전체층(11)의 뒤쪽에 전면 도포되어 형성된다. 방전 공간(14)에는 플라스마 형성을 위한 기체가 밀봉된다.

도 3은 도 1의 플라스마 디스플레이 패널(1)의 통상적인 구동 장치를 보여준다. 도 3을 참조하면, 플라스마 디스플레이 패널(1)의 통상적인 구동 장치는 영상 처리부(66), 제어부(62), 어드레스 구동부(63), X 구동부(64) 및 Y 구동부(65)를 포함한다. 영상 처리부(66)는 외부 아날로그 영상 신호를 디지털 신호로 변환하여 내부 영상 신호 예를 들어, 각각 8 비트의 적색(R), 녹색(G) 및 청색(B) 영상 데이터, 클럭 신호, 수직 및 수평 동기 신호들을 발생시킨다. 제어부(62)는 영상 처리부(66)로부터의 내부 영상 신호에 따라 구동 제어 신호들(S_x, S_y, S)을 발생시킨다. 어드레스 구동부(63)는, 제어부(62)로부터의 구동 제어 신호들(S_x, S_y, S) 중에서 어드레스 신호(S)를 처리하여 표시 데이터 신호를 발생시키고, 발생된 표시 데이터 신호를 어드레스 전극 라인들에 인가한다. X 구동부(64)는 제어부(62)로부터의 구동 제어 신호들(S_x, S_y, S) 중에서 X 구동 제어 신호(S_x)를 처리하여 X 전극 라인들에 인가한다. Y 구동부(65)는

제어부(62)로부터의 구동 제어 신호를(S_1, S_2, S_3)중에서 Y 구동 제어 신호(S_2)를 처리하여 Y 전극 라인들에 인가한다.

도 4는 도 1의 플라즈마 디스플레이 패널의 Y 전극 라인들에 대한 통상적인 어드레스-디스플레이 분리(Address-Display Separation) 구동 방식을 보여준다. 도 4를 참조하면, 단위 프레임은 시분할 계조 표시를 실현하기 위하여 8 개의 서브필드를($SF1, \dots, SF8$)로 분할된다. 또한, 각 서브필드($SF1, \dots, SF8$)는 어드레스 주기($A1, \dots, A8$)와 유지방전 주기($S1, \dots, S8$)로 분할된다.

각 어드레스 주기($A1, \dots, A8$)에서는, 어드레스 전극 라인들(도 1의 A_1, \dots, A_n)에 표시 데이터 신호가 인가됨과 동시에 각 Y 전극 라인(도 1의 Y_1, \dots, Y_n)에 상응하는 주사 펄스가 순차적으로 인가된다. 이에 따라 주사 펄스가 인가되는 동안에 높은 레벨의 표시 데이터 신호가 인가되면 상응하는 방전셀에서 어드레스 방전에 의하여 벽전하들이 형성되며, 그렇지 않은 방전셀에서는 벽전하들이 형성되지 않는다.

각 유지방전 주기($S1, \dots, S8$)에서는, 모든 Y 전극 라인들(Y_1, \dots, Y_n)과 모든 X 전극 라인들(도 1의 X_1, \dots, X_n)에 유지방전용 펄스가 교호하게 인가되어, 상응하는 어드레스 주기($A1, \dots, A8$)에서 벽전하들이 형성된 방전셀들에서 표시 방전을 일으킨다. 따라서 플라즈마 디스플레이 패널의 휘도는 단위 프레임에서 차지하는 유지방전 주기($S1, \dots, S8$)의 길이에 비례한다. 단위 프레임에서 차지하는 유지방전 주기($S1, \dots, S8$)의 길이는 $255T$ (T 는 단위 시간)이다. 따라서 단위 프레임에서 한 번도 표시되지 않은 경우를 포함하여 256 계조로써 표시할 수 있다.

여기서, 제1 서브필드($SF1$)의 유지방전 주기($S1$)에는 2^0 에 상응하는 시간($1T$)이, 제2 서브필드($SF2$)의 유지방전 주기($S2$)에는 2^1 에 상응하는 시간($2T$)이, 제3 서브필드($SF3$)의 유지방전 주기($S3$)에는 2^2 에 상응하는 시간($4T$)이, 제4 서브필드($SF4$)의 유지방전 주기($S4$)에는 2^3 에 상응하는 시간($8T$)이, 제5 서브필드($SF5$)의 유지방전 주기($S5$)에는 2^4 에 상응하는 시간($16T$)이, 제6 서브필드($SF6$)의 유지방전 주기($S6$)에는 2^5 에 상응하는 시간($32T$)이, 제7 서브필드($SF7$)의 유지방전 주기($S7$)에는 2^6 에 상응하는 시간($64T$)이, 그리고 제8 서브필드($SF8$)의 유지방전 주기($S8$)에는 2^7 에 상응하는 시간($128T$)이 각각 설정된다.

이에 따라, 8 개의 서브필드들중에서 표시할 서브필드를 적절히 선택하면, 어느 서브필드에서도 표시되지 않는 0(영) 계조를 포함하여 모두 256 계조의 표시가 수행될 수 있음을 알 수 있다.

위와 같은 플라즈마 디스플레이 패널의 구동 방식에 있어서, 각 어드레스 주기($A1, \dots, A8$)에서는, 모든 디스플레이 셀들의 전하들의 분포가 균일해짐과 동시에 다음 단계에서 수행될 어드레스에 적합하지도 못하는 리셋팅이 수행된다.

도 5는 종래의 리셋팅 방법에 따라 플라즈마 디스플레이 패널의 전극 라인들에 인가되는 신호들의 파형을 보여준다. 도 6은 도 5의 t3 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여준다. 도 7은 도 5의 t4 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여준다. 도 8은 도 5의 구동 신호들에 상응하여 플라즈마 디스플레이 패널로부터 발생되는 빛의 조도(S_1)를 보여준다.

도 5에 도시된 바와 같은 종래의 리셋팅 방법은, 2000년 일본 공개 특허 공보 제214,823호와 동 제242,224호에 개시되어 있다. 도 5에서, 참조 부호 S_n 는 모든 Y 전극 라인들(도 1의 Y_1, \dots, Y_n)에 인가되는 구동 신호를, S_m 는 모든 X 전극 라인들(도 1의 X_1, \dots, X_n)에 인가되는 구동 신호를, 그리고 S_a 는 모든 어드레스 전극 라인들(도 1의 A_1, \dots, A_n)에 인가되는 구동 신호를 가리킨다.

도 5 내지 8을 참조하면, 제1 리셋 단계($t1 \sim t2$)에서는, 제1 디스플레이 전극 라인들로서의 X 전극 라인들(X_1, \dots, X_n)에 인가되는 전압을 제4 전압으로서의 집지 전압(V_{th})으로부터 제1 전압(V_{th1}) 예를 들어, 190 볼트(V)까지 지속적으로 상승시킨다. 여기서, 제2 디스플레이 전극 라인들로서의 Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_1, \dots, A_n)에는 집지 전압(V_{th})이 인가된다. 이에 따라, X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n) 사이, 및 X 전극 라인들(X_1, \dots, X_n)과 어드레스 전극 라인들(A_1, \dots, A_n) 사이에 약한 방전이 일어나면서 X 전극 라인들(X_1, \dots, X_n) 주위에 제2 극성 즉, 음극성의 벽전하들이 형성된다.

제2 리셋 단계($t2 \sim t3$)에서는, Y 전극 라인들(Y_1, \dots, Y_n)에 인가되는 전압이 제1 전압(V_{th1})보다 약간 낮은 제5 전압(V_{th2}) 예를 들어, 180 볼트(V)부터 제1 전압(V_{th1})보다 훨씬 더 높은 제2 전압(V_{th2}) 예를 들어, 400 볼트(V)까지 지속적으로 상승된다. 여기서, X 전극 라인들(X_1, \dots, X_n)과 어드레스 전극 라인들(A_1, \dots, A_n)에는 집지 전압(V_{th})이 인가된다. 이에 따라, Y 전극 라인들(Y_1, \dots, Y_n)과 X 전극 라인들(X_1, \dots, X_n) 사이에는 약한 방전이 일어나는 한편, Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_1, \dots, A_n) 사이에는 더욱 약한 방전이 일어난다. 여기서, Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_1, \dots, A_n) 사이의 방전보다 Y 전극 라인들(Y_1, \dots, Y_n)과 X 전극 라인들(X_1, \dots, X_n) 사이의 방전이 더 강해지는 이유는, 제1 리셋 단계($t1 \sim t2$)의 수행에 의하여 X 전극 라인들(X_1, \dots, X_n) 주위에 음극성의 벽전하들이 형성되어 있기 때문이다. 이에 따라, Y 전극 라인들(Y_1, \dots, Y_n) 주위에는 음극성 벽전하들이 많이 형성되고, X 전극 라인들(X_1, \dots, X_n) 주위에는 제1 극성 즉, 정극성의 벽전하들이 형성되며, 어드레스 전극 라인들(A_1, \dots, A_n) 주위에는 정극성의 벽전하들이 적게 형성된다(도 6 참조).

제3 리셋 단계($t3 \sim t4$)에서는, X 전극 라인들(X_1, \dots, X_n)에 인가되는 전압이 제1 전압(V_{th1})으로 유지된

상태에서, Y 전극 라인들(Y_1, \dots, Y_n)에 인가되는 전압이 제5 전압($V_{5,0}$)으로부터 접지 전압(V_0)까지 지속적으로 하강된다. 여기서, 어드레스 전극 라인들(A_1, \dots, A_n)에는 접지 전압(V_0)이 인가된다. 이에 따라, X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n) 사이의 약한 방전으로 인하여, Y 전극 라인들(Y_1, \dots, Y_n) 주위의 음극성의 벽전하들의 일부가 X 전극 라인들(X_1, \dots, X_n) 주위로 이동한다(도 7 참조). 여기서, 어드레스 전극 라인들(A_1, \dots, A_n)에는 접지 전압(V_0)이 인가되므로, 어드레스 전극 라인들(A_1, \dots, A_n) 주위의 정극성의 벽전하들이 약간 증가한다.

이에 따라, 이어지는 어드레스 단계에서, 선택된 어드레스 전극 라인들(A_1, \dots, A_n)에 정극성의 표시 데이터 신호가 인가되고, Y 전극 라인들(Y_1, \dots, Y_n)에 부극성의 주사 신호가 순차적으로 인가됨에 따라, 원할한 어드레스가 수행될 수 있다.

하지만, 위와 같은 종래의 리셋팅 방법에 의하면, 제1 리셋 단계($t_1 \sim t_2$)의 수행에 의하여 X 전극 라인들(X_1, \dots, X_n) 주위에 음극성의 벽전하들이 형성되어 있음에도 불구하고, 제2 리셋 단계($t_2 \sim t_3$)에서 X 전극 라인들(X_1, \dots, X_n)과 어드레스 전극 라인들(A_1, \dots, A_n)에 동일한 접지 전압(V_0)이 인가된다. 이에 따라, 다음과 같은 문제점들이 있다.

첫째, 제2 리셋 단계($t_2 \sim t_3$)에서, Y 전극 라인들(Y_1, \dots, Y_n)과 X 전극 라인들(X_1, \dots, X_n) 사이에 불필요하게 강한 방전이 일어나서, 플라즈마 표시 패널의 콘트라스트를 저하시킨다. 이에 따라, X 전극 라인들(X_1, \dots, X_n) 주위에 불필요하게 많은 정극성의 전하들이 형성되므로, 제3 리셋 단계($t_3 \sim t_4$)에서도 Y 전극 라인들(Y_1, \dots, Y_n)과 X 전극 라인들(X_1, \dots, X_n) 사이에 불필요하게 강한 방전이 일어나서, 플라즈마 표시 패널의 콘트라스트를 더욱 저하시킨다(도 8 참조).

둘째, 제2 리셋 단계($t_2 \sim t_3$)에서, Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_1, \dots, A_n) 사이의 방전이 상대적으로 약화되어, 어드레스 전극 라인들(A_1, \dots, A_n) 주위에 형성되는 정극성의 벽전하들이 부족하다(도 6 참조). 이에 따라 어드레스 전극 라인들(A_1, \dots, A_n) 주위에 최종적으로 형성되는 정극성의 벽전하들도 부족하므로(도 7 참조), 이어지는 어드레스에 의하여 선택된 디스플레이 셀들에서 충분한 벽전하들이 형성되지 못한다.

본 발명에 이루고자하는 기술적 과제

본 발명의 목적은, 플라즈마 표시 패널의 콘트라스트를 높이고, 어드레스에 의하여 선택된 디스플레이 셀들에서 충분한 벽전하들이 형성되게 할 수 있는 플라즈마 디스플레이 패널의 리셋팅 방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명은, 서로 대향 이격된 앞쪽 기판과 뒷쪽 기판을 갖고, 상기 기판들 사이에 제1 및 제2 디스플레이 전극 라인들이 서로 나란하게 형성되고, 어드레스 전극 라인들이 상기 제1 및 제2 전극 라인들에 대하여 직교하게 형성된 플라즈마 디스플레이 패널의 리셋팅 방법으로서, 3 리셋 단계를 포함한다.

상기 제1 리셋 단계에서는, 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 제1 전압까지 지속적으로 상승된다.

상기 제2 리셋 단계에서는, 상기 제2 디스플레이 전극 라인들에 인가되는 전압이 상기 제1 전압보다 높은 제2 전압까지 지속적으로 상승되는 한편, 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 상기 제1 전압보다 낮은 제3 전압까지 지속적으로 상승된다.

상기 제3 리셋 단계에서는, 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 상기 제1 전압으로 유지된 상태에서 상기 제2 디스플레이 전극 라인들에 인가되는 전압이 상기 제3 전압보다 낮은 제4 전압까지 지속적으로 하강된다.

본 발명의 상기 플라즈마 디스플레이 패널의 리셋팅 방법에 의하면, 상기 제2 리셋 단계에서 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 상기 제1 전압보다 낮은 제3 전압까지 지속적으로 상승된다. 이에 따라, 다음과 같은 효과들을 얻을 수 있다.

첫째, 상기 제2 리셋 단계에서, 상기 제1 및 제2 디스플레이 전극 라인들 사이에 불필요하게 강한 방전이 일어나지 않으므로, 상기 플라즈마 표시 패널의 콘트라스트가 저하되지 않는다. 또한, 상기 제1 디스플레이 전극 라인들 주위에 불필요하게 많은 제1 극성의 전하들이 형성되지 않아, 상기 제3 리셋 단계에서도 상기 제1 및 제2 디스플레이 전극 라인들 사이에 불필요하게 강한 방전이 일어나지 않으므로, 플라즈마 표시 패널의 콘트라스트가 향상될 수 있다.

둘째, 상기 제2 리셋 단계에서, 상기 제2 디스플레이 전극 라인들과 상기 어드레스 전극 라인들 사이의 방전이 상대적으로 강화되어, 상기 어드레스 전극 라인들 주위에 형성되는 상기 제1 극성의 벽전하들이 부족하지 않다. 이에 따라 상기 어드레스 전극 라인들 주위에 최종적으로 형성되는 정극성의 전하들도 부족하지 않으므로, 이어지는 어드레스에 의하여 선택된 디스플레이 셀들에서 충분한 벽전하들이 형성될 수 있다.

바람직하게는, 상기 제2 리셋 단계에서, 상기 제1 디스플레이 전극 라인들이 전기적으로 플로팅 상태가 됨으로써, 상기 제1 리셋 단계에서 상기 제1 디스플레이 전극 라인들 주위에 형성되었던 제1 극성의 벽전하들의 작용으로 인하여 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 상기 제3 전압까지 지속적

으로 상승된다. 이에 따라, 상기 제2 리셋 단계에서 소비되는 구동 전력이 절감될 수 있다.

이하, 본 발명에 따른 바람직한 실시예가 상세히 설명된다.

도 9는 본 발명의 일 실시예의 리셋팅 방법에 따라 플라즈마 디스플레이 패널의 전극 라인들에 인가되는 신호들을 보여준다. 도 10은 도 9의 t3 시점에서의 어느 한 디스플레이 셀의 역전하 분포를 보여준다. 도 11은 도 9의 t4 시점에서의 어느 한 디스플레이 셀의 역전하 분포를 보여준다. 도 12는 도 9의 t₀ ~ t3 시간에 대하여 플라즈마 디스플레이 패널로부터 발생되는 빛의 조도를 보여준다. 도 13은 도 9의 구동 신호들에 상응하여 플라즈마 디스플레이 패널로부터 발생되는 빛의 주도(S₀)를 보여준다.

도 9에서, 참조 부호 S₀는 모든 Y 전극 라인들(도 1의 Y₁, ..., Y_n)에 인가되는 구동 신호를, S₁는 모든 X 전극 라인들(도 1의 X₁, ..., X_m)에 인가되는 구동 신호를, 그리고 S₂는 모든 어드레스 전극 라인들(도 1의 A₁, ..., A_n)에 인가되는 구동 신호를 가리킨다.

도 9 내지 13을 참조하면, 제1 리셋 단계(t1 ~ t2)에서는, 제1 디스플레이 전극 라인들로서의 X 전극 라인들(X₁, ..., X_m)에 인가되는 전압을 제4 전압으로서의 접지 전압(V_g)으로부터 제1 전압(V₀) 예를 들어, 190 볼트(V)까지 지속적으로 상승시킨다. 여기서, 제2 디스플레이 전극 라인들로서의 Y 전극 라인들(Y₁, ..., Y_n)과 어드레스 전극 라인들(A₁, ..., A_n)에는 접지 전압(V_g)이 인가된다. 이에 따라, X 전극 라인들(X₁, ..., X_m)과 Y 전극 라인들(Y₁, ..., Y_n) 사이, 및 X 전극 라인들(X₁, ..., X_m)과 어드레스 전극 라인들(A₁, ..., A_n) 사이에 약한 방전이 일어나면서 X 전극 라인들(X₁, ..., X_m) 주위에 제2 극성 즉, 음극성의 역전하들이 형성된다.

제2 리셋 단계(t2 ~ t3)에서는, Y 전극 라인들(Y₁, ..., Y_n)에 인가되는 전압이 제1 전압(V₀)보다 약간 낮은 제5 전압(V₀₁) 예를 들어, 180 볼트(V)부터 제1 전압(V₀)보다 훨씬 더 높은 제2 전압(V₀₂) 예를 들어, 400 볼트(V)까지 지속적으로 상승된다. 여기서, 제2 리셋 단계(t2 ~ t3) 내의 어느 한 시점(t₀)으로부터 제2 리셋 단계(t2 ~ t3)의 종료 시점(t3)까지의 시간(t₀ ~ t3)에는, X 전극 라인들(X₁, ..., X_m)에 인가되는 전압이 제5 전압(V₀₁)보다 낮은 제3 전압(V₀₃)까지 지속적으로 상승된다. 이 시간(t₀ ~ t3)과 제5 전압(V₀₁)은 반복적인 실험에 의하여 최적값으로서 설정될 수 있다. 이와 같은 상승 전압은 X 구동부(도 3의 64)로부터 직접 공급받을 수 있지만, X 구동부(64)의 출력력이 모두 전기적으로 클로징 상태 즉, 높은 임피던스 상태가 될으로써 동일한 효과를 얻을 수 있다. 즉, X 구동부(64)의 모든 출력단들의 상부 및 하부 트랜지스터들을 턴-오프시킴으로써, 제1 리셋 단계(t1 ~ t2)에서 X 전극 라인들(X₁, ..., X_m) 주위에 형성되었던 정극성의 역전하들의 작용으로 인하여 X 전극 라인들(X₁, ..., X_m)에 인가되는 전압이 제3 전압(V₀₃)까지 지속적으로 상승된다. 이에 따라, 제2 리셋 단계(t2 ~ t3)에서 소비되는 구동 전력이 절감될 수 있다. 모든 어드레스 전극 라인들(A₁, ..., A_n)에는 접지 전압(V_g)이 인가된다.

위와 같은 구동 조건의 제2 리셋 단계(t2 ~ t3)에서는, Y 전극 라인들(Y₁, ..., Y_n)과 X 전극 라인들(X₁, ..., X_m) 사이에 상대적으로 약한 방전이 일어나는 한편, Y 전극 라인들(Y₁, ..., Y_n)과 어드레스 전극 라인들(A₁, ..., A_n) 사이에 상대적으로 강한 방전이 일어난다. 이에 따라, Y 전극 라인들(Y₁, ..., Y_n) 주위에는 음극성 역전하들이 많이 형성되고, X 전극 라인들(X₁, ..., X_m) 주위에는 제1 극성 즉, 정극성의 역전하들이 상대적으로 적게 형성되며, 어드레스 전극 라인들(A₁, ..., A_n) 주위에는 정극성의 역전하들이 상대적으로 많이 형성된다(도 10 참조).

제3 리셋 단계(t3 ~ t4)에서는, X 전극 라인들(X₁, ..., X_m)에 인가되는 전압이 제1 전압(V₀)으로 유지된 상태에서, Y 전극 라인들(Y₁, ..., Y_n)에 인가되는 전압이 제5 전압(V₀₁)으로부터 접지 전압(V_g)까지 지속적으로 하강된다. 여기서, 어드레스 전극 라인들(A₁, ..., A_n)에는 접지 전압(V_g)이 인가된다. 이에 따라, X 전극 라인들(X₁, ..., X_m)과 Y 전극 라인들(Y₁, ..., Y_n) 사이의 상대적으로 약한 방전으로 인하여, Y 전극 라인들(Y₁, ..., Y_n) 주위의 음극성의 역전하들의 일부가 X 전극 라인들(X₁, ..., X_m) 주위로 이동한다(도 11 참조). 여기서, 어드레스 전극 라인들(A₁, ..., A_n)에는 접지 전압(V_g)이 인가되므로, 어드레스 전극 라인들(A₁, ..., A_n) 주위의 정극성의 역전하들이 약간 증가한다.

이에 따라, 이어지는 어드레스 단계에서, 선택된 어드레스 전극 라인들(A₁, ..., A_n)에 정극성의 표시 데이터 신호가 인가되고, Y 전극 라인들(Y₁, ..., Y_n)에 부극성의 주사 신호가 순차적으로 인가됨에 따라, 원할한 어드레스가 수행될 수 있다.

위와 같은 본 발명의 리셋팅 방법에 의하면, 제2 리셋 단계(t2 ~ t3) 내의 후반부(t₀ ~ t3)에서 X 전극 라인들(X₁, ..., X_m)에 상승 전압이 인가됨에 따라, 다음과 같은 효과들을 얻을 수 있다.

첫째, 제2 리셋 단계(t2 ~ t3)에서, Y 전극 라인들(Y₁, ..., Y_n)과 X 전극 라인들(X₁, ..., X_m) 사이에 불필요하게 강한 방전이 일어나지 않으므로, 플라즈마 표시 패널의 콘트라스트를 상승시킬 수 있다. 이에 따라, X 전극 라인들(X₁, ..., X_m) 주위에 불필요하게 많은 정극성의 전하들이 형성되지 않으므로, 제3 리셋 단계(t3 ~ t4)에서도 Y 전극 라인들(Y₁, ..., Y_n)과 X 전극 라인들(X₁, ..., X_m) 사이에 불필요하게 강한 방전이 일어나지 않아, 플라즈마 표시 패널의 콘트라스트를 더욱 향상시킬 수 있다(도 12 및 13 참조). 도 12에서, 왼쪽 곡선은 제1 전압(V₀)이 상대적으로 높은 경우에 해당되고, 마른쪽 곡선은 제1 전압(V₀)이 상대적으로 낮은 경우에 해당된다.

동작, 제2 리셋 단계($t_2 - t_3$)에서, Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_1, \dots, A_m) 사이의 방전이 상대적으로 강화되며, 어드레스 전극 라인들(A_1, \dots, A_m) 주위에 형성되는 정극성의 복전하들이 충분히 형성된다(도 10 참조). 이에 따라 어드레스 전극 라인들(A_1, \dots, A_m) 주위에 최종적으로 형성되는 정극성의 복전하들도 충분하므로(도 11 참조), 이어지는 어드레싱에 의하여 선택된 디스플레이 셀들에서 충분한 복전하들이 형성될 수 있다.

발명의 효과

이상 설명된 바와 같이, 본 발명에 따른 플라스마 디스플레이 패널의 리셋팅 방법에 의하면, 플라스마 표시 패널의 콘트라스트를 높이고, 어드레싱에 의하여 선택된 디스플레이 셀들에서 충분한 복전하들이 형성되게 할 수 있다.

본 발명은, 상기 실시예에 한정되지 않고, 청구범위에서 정의된 발명의 사상 및 범위 내에서 당업자에 의하여 변형 및 개량될 수 있다.

(5) 청구의 범위

형구항 1. 서로 대향 이격된 앞쪽 기판과 뒷쪽 기판을 갖고, 상기 기판들 사이에 제1 및 제2 디스플레이 전극 라인들이 서로 나란하게 형성되고, 어드레스 전극 라인들이 상기 제1 및 제2 전극 라인들에 대하여 직교하게 형성된 플라스마 디스플레이 패널의 리셋팅 방법에 있어서,

상기 제1 디스플레이 전극 라인들에 인가되는 전압을 제1 전압까지 지속적으로 상승시키는 제1 리셋 단계;

상기 제2 디스플레이 전극 라인들에 인가되는 전압을 상기 제1 전압보다 높은 제2 전압까지 지속적으로 상승시키는 한편, 상기 제1 디스플레이 전극 라인들에 인가되는 전압을 상기 제1 전압보다 낮은 제3 전압까지 지속적으로 상승시키는 제2 리셋 단계; 및

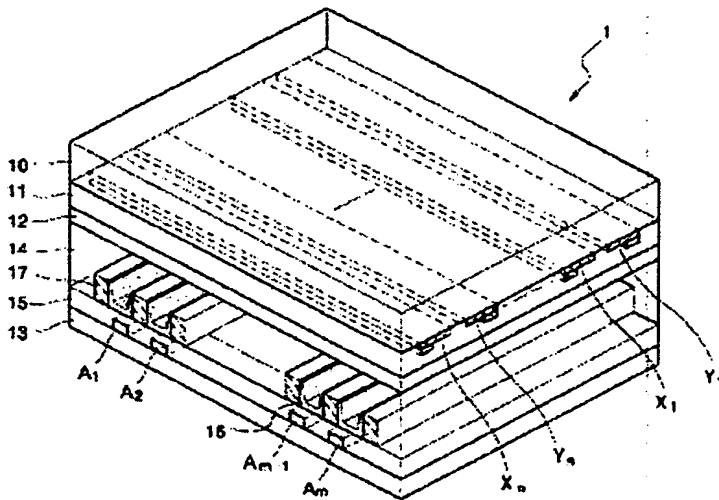
상기 제1 디스플레이 전극 라인들에 인가되는 전압을 상기 제1 전압으로 유지시킨 상태에서 상기 제2 디스플레이 전극 라인들에 인가되는 전압을 상기 제3 전압보다 낮은 제4 전압까지 지속적으로 하강시키는 제3 리셋 단계를 포함한 플라스마 디스플레이 패널의 리셋팅 방법.

형구항 2. 제1항에 있어서, 상기 제2 리셋 단계에서,

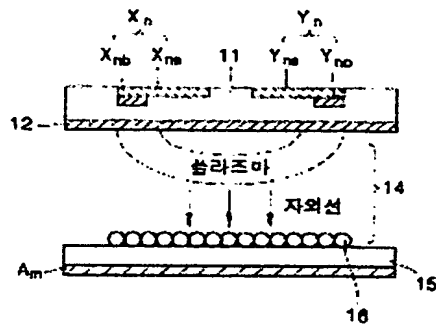
상기 제1 디스플레이 전극 라인들이 전기적으로 플로팅 상태가 됨으로써, 상기 제1 리셋 단계에서 상기 제1 디스플레이 전극 라인들 주위에 형성되었던 제1 극성의 복전하들의 작용으로 인하여 상기 제1 디스플레이 전극 라인들에 인가되는 전압이 상기 제3 전압까지 지속적으로 상승되는 플라스마 디스플레이 패널의 리셋팅 방법.

도면

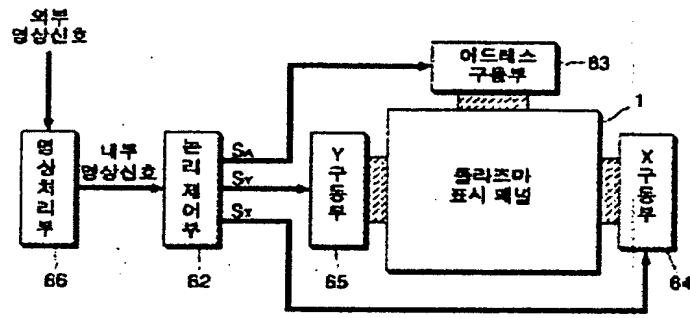
도면1



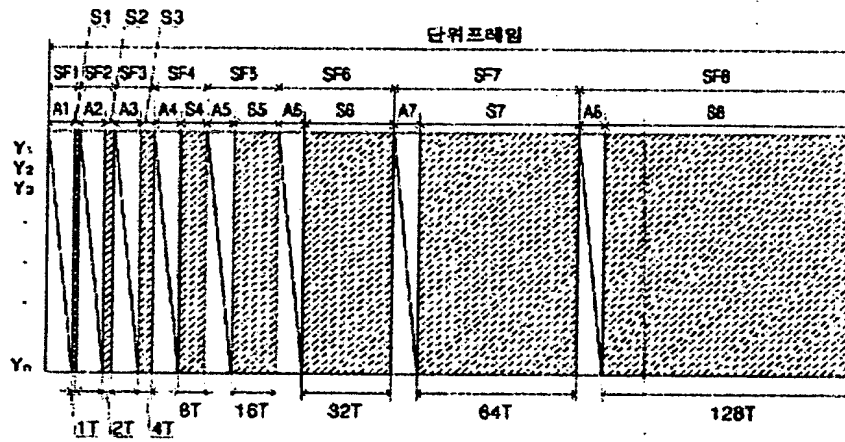
도 B2



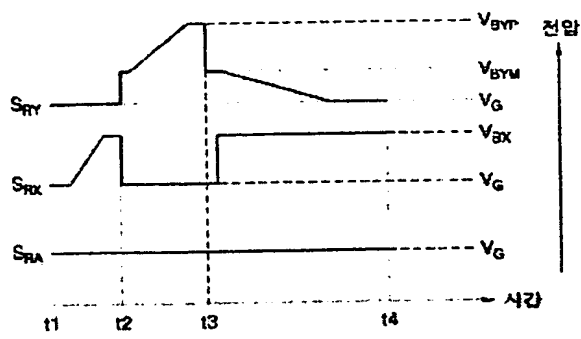
도 B3



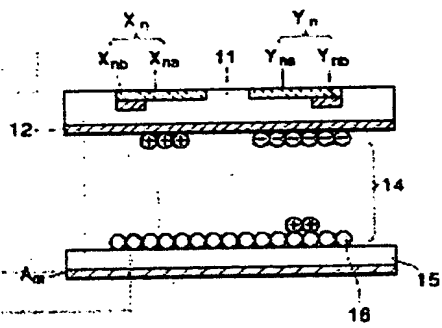
도 B4



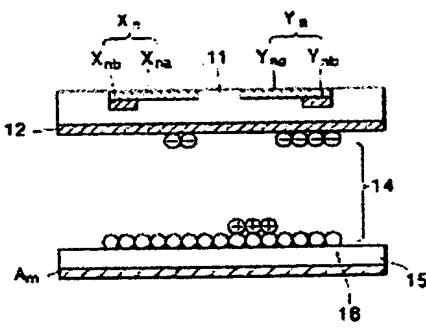
도 25



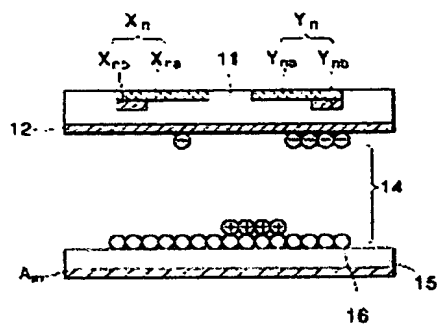
도 26



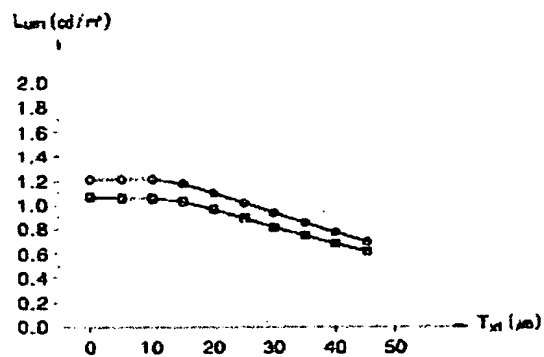
도 27



도면 11



도면 12



도면 13

